



Computersysteme

Wintersemester 2018/2019

Serie 8

Ausgabetermin: Freitag, 07.12.2018

Abgabetermin: Donnerstag, 20.12.2018, 12:00 Uhr im Schrein

Bitte klammern oder heften Sie Ihre Abgabebblätter geeignet zusammen und notieren Sie sowohl Ihre Namen als auch Ihre Gruppennummer auf der Abgabe!

Präsenzaufgaben

Aufgabe 1

Abbildung 1 zeigt ein Schaltnetz mit den Eingängen $X = (x_0, x_1, x_2)$ und $Y = (y_0, y_1, y_2)$ sowie dem Ausgang $E = (e_0, e_1, e_2, e_3, e_4, e_5)$. Was berechnet dieses Schaltnetz?

Erläutern Sie die Funktionsweise ausführlich.

Hinweis: Die in der Zeichnung angegebenen Multiplexer sind vereinfacht dargestellt. Jeder der drei Multiplexer-Blöcke steht für sechs einzelne Multiplexer (je einer für jedes e_x , wobei $x \in \{0, 1, 2, 3, 4, 5\}$), die jeweils alle vom selben Signal (x_1 oder x_2) für die Auswahl des zutreffenden Eingangs versorgt werden.

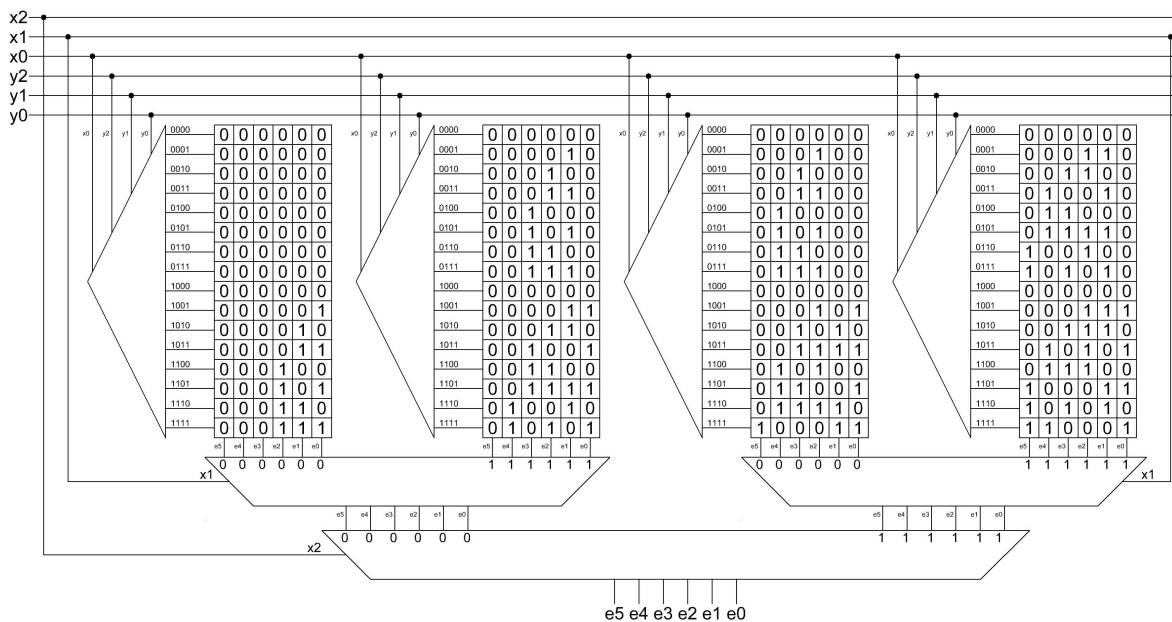


Abbildung 1

Aufgabe 2

Konstruieren und zeichnen Sie zwei verschiedene 10-Bit-Carry-Select-Addierer mit von Ihnen gewählten Aufteilungen. Bestimmen Sie für jeden der beiden Addierer die benötigte Gesamtfläche und die benötigte Gesamtzeit sowie das Produkt aus beiden.

Gegeben sei hierfür folgendes Modell:

Ein Volladdierer belegt die Chipfläche 1 FE (Flächeneinheit) und benötigt als Schaltzeit 1 ZE (Zeiteinheit). Ein 1-bit Multiplexer belegt ebenfalls 1 FE und braucht dieselbe Schaltzeit, 1 ZE. A ist die Gesamtfläche, T ist die Gesamtzeit.

Hausaufgaben

Aufgabe 1

Gegeben sei folgendes Modell:

Ein Volladdierer belegt die Chipfläche 1 FE (Flächeneinheit) und benötigt als Schaltzeit 1 ZE (Zeiteinheit). Ein 1-bit Multiplexer belegt ebenfalls 1 FE und braucht dieselbe Schaltzeit, 1 ZE. A ist die Gesamtfläche, T ist die Gesamtzeit.

- Konstruieren Sie einen 82-bit-Carry-Select-Addierer, der eine Addition in $T = 17$ ZE durchführt.
- Ist es möglich, einen 82-bit-Carry-Select-Addierer zu entwerfen, der die Addition in weniger als 15 ZE durchführt?
Wenn ja, geben Sie eine mögliche Konfiguration an. (Eine Zeichnung ist nicht notwendig.)
- Entwerfen Sie ein Schaltnetz aus Volladdierern (VA) und Multiplexern (MUX), das 10 Binärzahlen der Länge 26 Bit addiert. Dabei können Überläufe vernachlässigt werden.
Optimieren Sie die Schaltung im Hinblick darauf, dass das Produkt aus Fläche A und Zeit T minimal wird. Begründen Sie ihre Lösung. Ein Beweis ist nicht erforderlich.

Zu Teil (a) und (c): Geben Sie bitte bei beiden Lösungen je eine Zeichnung für den Addierer an.

15, 10, 25 Punkte

Aufgabe 2

Minimieren Sie die folgende Funktion f mit dem Verfahren von Quine und McCluskey:

$$f = abc + a\bar{b}cd + a\bar{b}c\bar{d} + a\bar{b}\bar{c}\bar{d} + \bar{a}bcd + \bar{a}bc\bar{d} + \bar{a}\bar{b}\bar{c}\bar{d} + \bar{a}\bar{b}c + ab\bar{c}d + ab\bar{c}\bar{d}$$

Hinweis zum Verfahren von McCluskey: Nehmen Sie bei Termduplikaten mit identischer binärer Repräsentation jeweils nur eine Termzusammenfassung in die Tabelle auf.

30 Punkte

Aufgabe 3

- Skizzieren Sie einen 1-zu-8-Datenwegdemultiplexer mit 16 Dateneingängen.
- Geben Sie die größte und kleinste Zahl an, die sich binär im 2-Komplement mit 6 Bit darstellen lässt.
- Wo wird das Sicherheitsbit verwendet? Beschreiben Sie Aufgabe und Funktionsweise.
- Was versteht man in der IEEE-Gleitkommadarstellung unter einer „Hidden One“? In welchem Fall wird sie verwendet und wann wird sie nicht verwendet?
- Erklären Sie die Funktionsweise eines Transmissions-Gatters.

je 4 Punkte