

Klausurhilfsmittel

- Erlaubte Hilfsmittel bei der Klausur sind : Stifte, eine handgeschriebene Formelsammlung der Größe Din A4, beidseitig beschrieben.
- Nicht erlaubt sind: Taschenrechner, Skripte, Bücher, Handys, PDAs, Rechner, Tabellen, gedruckte Formelsammlungen, Lupen, Zettel des Nachbarn, ...

3

Vorlesungsübersicht: Folgende Themen wurden behandelt:

- Zahlensysteme
- Boolesche Funktionen
 - Grundlagen, Boolesche Algebra
 - Minimierung Boolescher Funktionen
- CMOS-Technologie
- Schaltnetze
 - Standard-Schaltnetze
 - Spezielle Schaltnetze
 - Computer-Arithmetik
- Schaltwerke
 - Automaten
 - Spezielle Schaltwerke
 - Steuerwerke
- DLX-Prozessor
 - ALU
 - DLX-Befehlssatz und Assembler
 - DLX-Pipelining

4

Wiederholung:

Addition und Subtraktion von N-stelligen ganzen Zahlen

1. Geben Sie den Zahlenbereich an
2. Wie gelingt Korrektheitsprüfung (overflow, underflow) ?
3. Aufbau einer Schalteinheit für overflow und underflow flag ?

5

Darstellbarer Bereich N-stelliger B-adischer Zahlen im B-Komplement für gerades B

$$\{-(B/2)B^{N-1}, \dots, +(B/2)B^{N-1}-1\}$$

Genau die Zahlen, deren MSB (Stelle N-1) mit einer Ziffer $b_{N-1} \geq B/2$ beginnen, sind negativ (entspricht Vorzeichen).

Für $B=2$ gilt: Stelle b_{N-1} (MSB) = V (Vorzeichenstelle)

$V=0 \Rightarrow$ 0 oder positive Zahl, $V=1 \Rightarrow$ negative Zahl

$$4\text{-stellige Binärzahl: } n = 0111_2 = 7_{10} \quad b_3 = 0 : V = 0$$

$$-n = 1000_2 + 1_2 = 1001_2 = -7_{10} \quad b_3 = 1 : V = 1$$

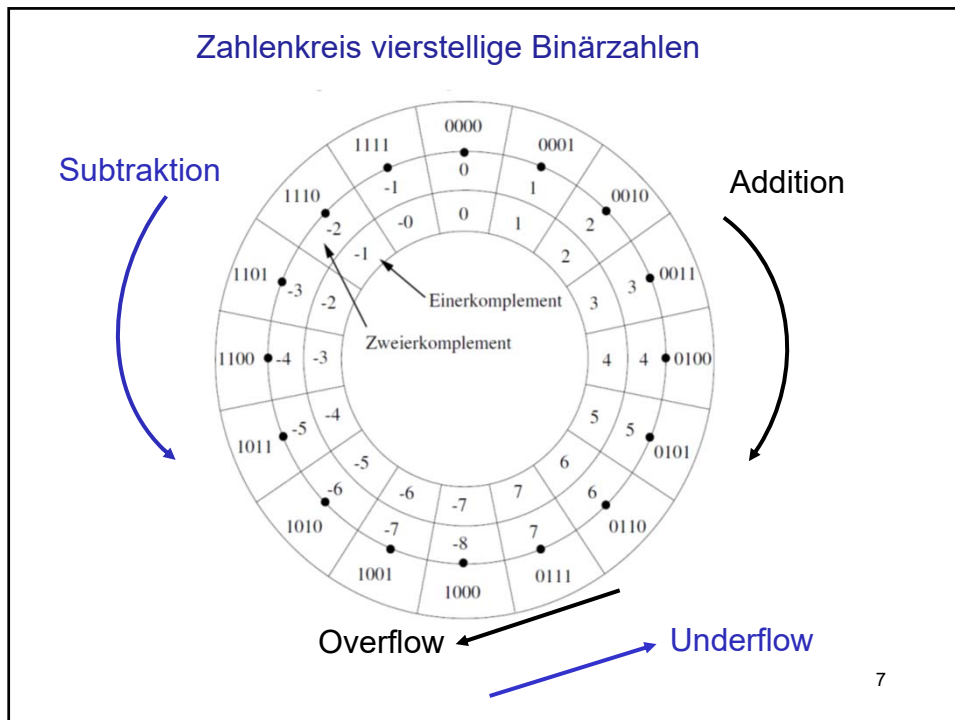
Addition von positiven Zahlen mit Bereichsüberschreitung:

$$0100 + 0100 = 1000 \quad (4+4 = -8 \text{ falsch, richtig wäre } 8)$$

Subtraktion von negativen Zahlen mit Bereichsunterschreitung:

$$1100 + 1010 = 1|0110 \quad (-4 -5 = 6 \text{ falsch, richtig wäre } -9)$$

6



Satz: Genau dann ist bei Addition zweier N-stelliger 2-adischer Zahlen das Ergebnis wieder im (mit N Stellen) darstellbaren Bereich, wenn bei der Summe nach der Addition die Vorzeichenstelle (V, Stelle N-1) mit der Sicherungsstelle (S, Stelle N) übereinstimmt.

Die Sicherungsstelle N erlaubt Erkennung von Bereichsfehlern (-16,15)

$$\begin{array}{r}
 \text{N=5:} \quad S \mid V \quad 2^3 \quad 2^2 \quad 2^1 \quad 2^0 \\
 \text{kopiere} \left\{ \begin{array}{l} \overline{0} \mid 0 \quad 1 \quad 0 \quad 1 \quad 1 \\ V \rightarrow S \left\{ \begin{array}{l} 0 \mid 0 \quad 1 \quad 0 \quad 1 \quad 0 \end{array} \right. \\ \hline \begin{array}{l} 0 \mid 1 \quad 0 \quad 1 \quad 0 \quad 1 \end{array} \end{array} \right. \quad \begin{array}{l} = 11_{10} \\ = +10_{10} \\ = -11_{10} \end{array} \quad \text{Fehler, richtig wäre } +21
 \end{array}$$

vergleiche $S \neq V$

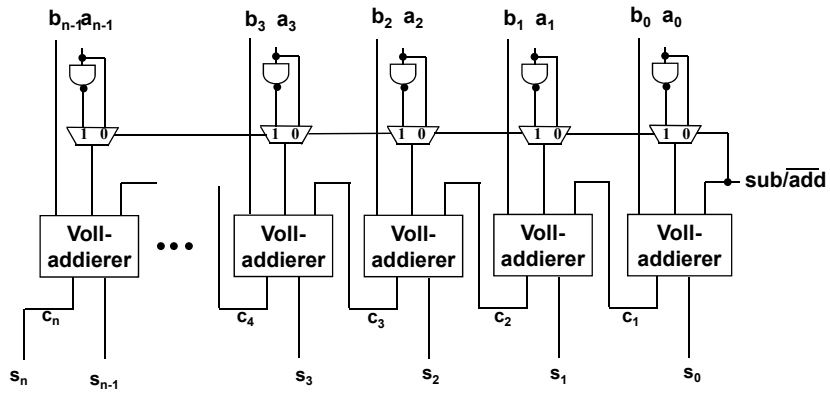
Korrekte Berechnung, wenn $S = V$:

$$\begin{array}{r}
 \text{N=5:} \quad S \mid V \quad 2^3 \quad 2^2 \quad 2^1 \quad 2^0 \\
 \text{kopiere} \left\{ \begin{array}{l} \overline{0} \mid 0 \quad 1 \quad 0 \quad 1 \quad 0 \\ V \rightarrow S \left\{ \begin{array}{l} 1 \mid 1 \quad 0 \quad 1 \quad 0 \quad 1 \end{array} \right. \\ \hline \begin{array}{l} 1 \mid 1 \quad 1 \quad 1 \quad 1 \end{array} \end{array} \right. \quad \begin{array}{l} = 10_{10} \\ = -11_{10} \\ = -1_{10} \end{array} \quad \text{Korrekt, } S=V
 \end{array}$$

vergleiche $S = V$

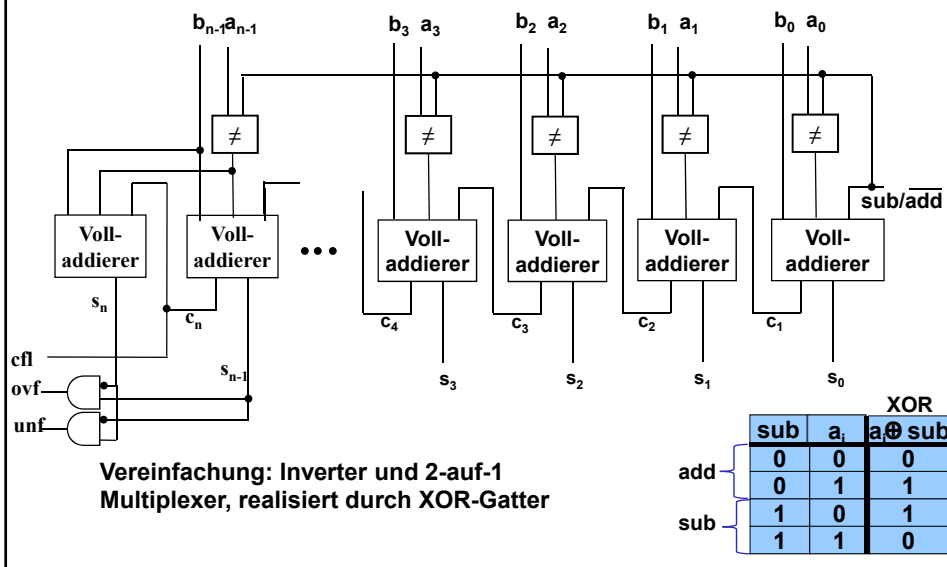
8

Addierer/Subtrahierer



Umschaltung von Datum und deren Invertierung durch 2-auf-1 Multiplexer

Addierer/Subtrahierer mit flags



Gleitkommazahlen (floating point numbers)

Vorzeichenbehaftete Exponentialdarstellung nach IEEE für 32 Bit Floatingzahlen:

Wie viele Bits haben Mantisse und Exponent ?

Wie ist die Bitdarstellung der größtmöglichen gültigen Zahl ? Welchen Wert hat sie ?

Wie ist die Bitdarstellung der kleinstmöglichen positiven Zahl ? Welchen Wert hat sie ?

11

IEEE 754 Format 32-Bit (float, single)

1 Vorzeichenbit

8 Exponentenbits (MSB first)

23 Mantissenbits (MSB first), normalisiert, 1. Bit gespart

Der Wert w einer solchen Zahl berechnet sich als:

$$\begin{aligned} w &= (-1)^V \cdot (1, M) \cdot 2^{E-127}, & \text{falls } E > 0 \text{ und } E < 255 \text{ (Standard)} \\ w &= (-1)^V \cdot (0, M) \cdot 2^{-126}, & \text{falls } E = 0 \text{ und } M \neq 0 \text{ (sehr klein)} \\ w &= (-1)^V \cdot 0, & \text{falls } E = 0 \text{ und } M = 0 \text{ (Nullwert)} \\ w &= (-1)^V \cdot \text{Infinity } (\infty), & \text{falls } E = 255 \text{ und } M = 0 \text{ (> Bereich)} \\ w &= \text{NaN (Not a number)}, & \text{falls } E = 255 \text{ und } M \neq 0 \text{ (Fehler)} \end{aligned}$$

Darstellbarer Bereich ca $[-10^{38} \dots +10^{38}]$

12

Gleitkommazahlen (floating point numbers)

Vorzeichenbehaftete Exponentialdarstellung nach IEEE für 32 Bit Floatingzahlen:

Wie ist die Bitdarstellung der größtmöglichen gültigen Zahl ? Welchen Wert hat sie ?

$$0 \ 11111110 \ 111111111111111111111111$$
$$W = (1 + 1 - 2^{-23}) \cdot 2^{(254-127)} = (2 - 2^{-23}) \cdot 2^{+127}$$

Wie ist die Bitdarstellung der kleinstmöglichen positiven Zahl ? Welchen Wert hat sie ?

$$0 \ 00000000 \ 000000000000000000000001$$
$$W = (0 + 2^{-23}) \cdot 2^{-126} = 2^{-(126+23)} = 2^{-149}$$

13

Minimiere die folgende Funktion:

$$f = \overline{a}b\overline{c}d + \overline{a}b\overline{c}d + \overline{a}cd + \overline{a}cd$$

Minimierung ergibt:

$$f = \overline{a}c + \overline{a}d$$

Umformung nach de Morgan: $x + y = \overline{\overline{x + y}} = \overline{\overline{x} \cdot \overline{y}}$

Daraus folgt f in NAND-Logik:

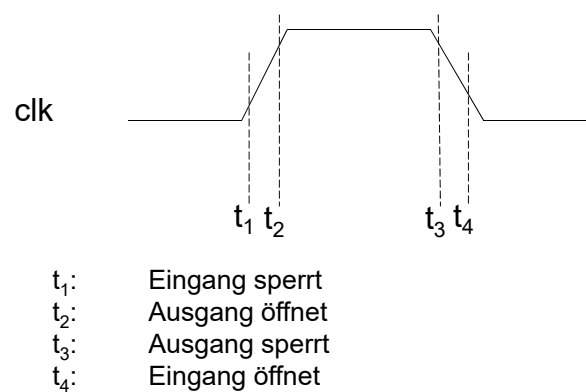
$$f = \overline{\overline{\overline{a}c} + \overline{\overline{a}d}} = \overline{\overline{a}c} \cdot \overline{\overline{a}d}$$

14

- Schaltung eines Master-Slave r-s-Flipflops
- nur mit NAND und Invertern aufbauen ?
- Umbau des r-s-MS-FF zu D-MS FF ?

15

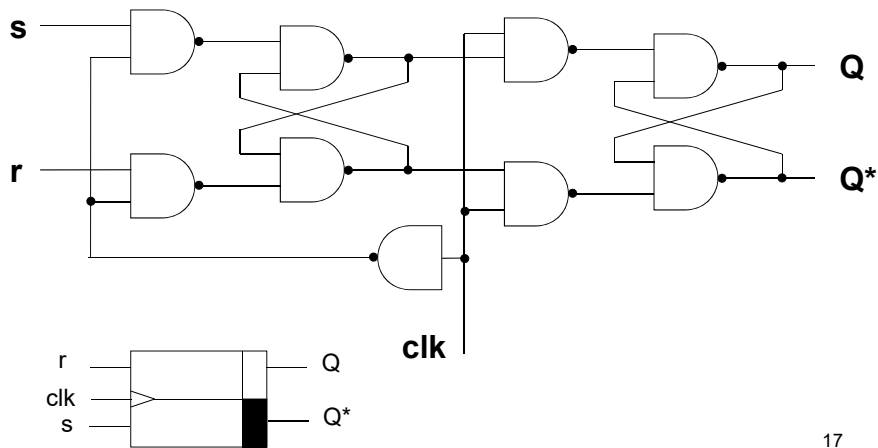
Master-Slave Flipflop, Timing



16

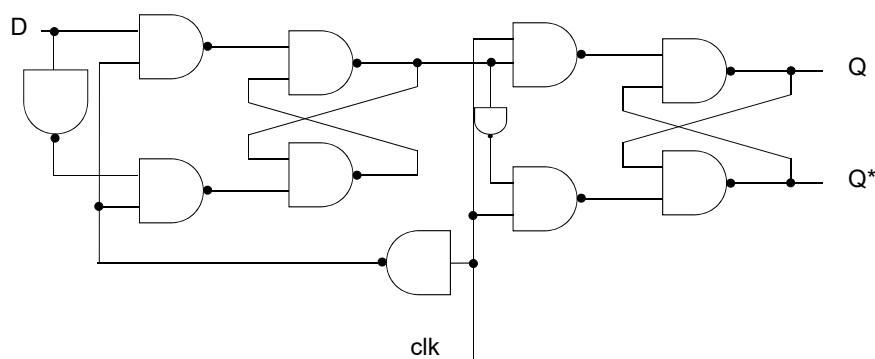
Master-Slave r-s-Flipflop

Ein r-s-Flipflop kann man als sogenanntes Master-Slave-Flipflop aus zwei Auffangflipflops zusammensetzen, und zwar einem negativ levelgesteuerten und einem positiv levelgesteuerten Latch.



17

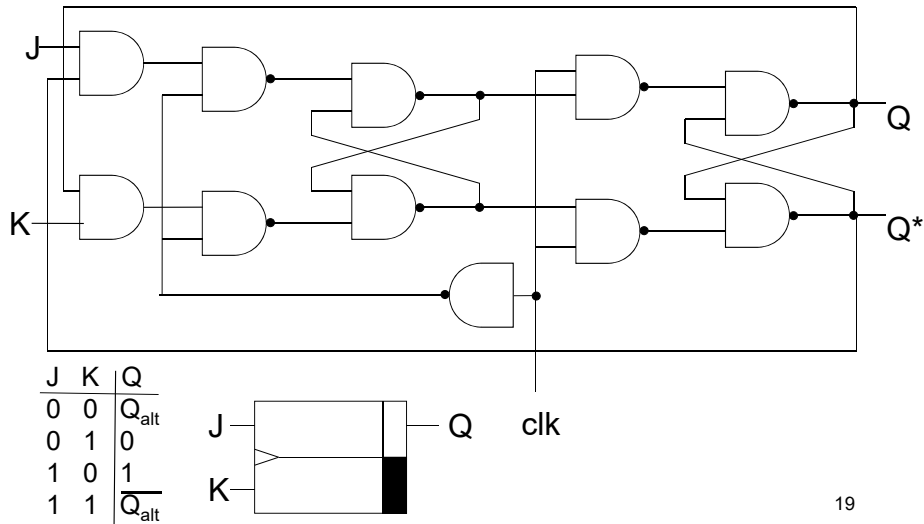
Master-Slave D-Flipflop



18

Master-Slave J-K-Flipflop

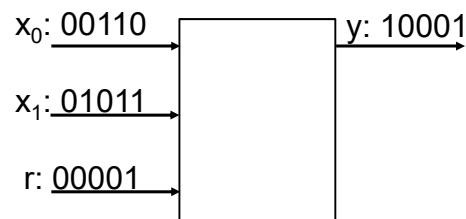
Um dieses Problem zu umgehen, kann man ein sogenanntes J-K-Flipflop (Jump-Kill-FF) bauen. Bei diesem sind die Ausgänge an die Eingänge rückgekoppelt.



19

Automat

Entwerfen Sie einen Automaten, der zwei positive Zahlen x_0 und x_1 bitseriell (von LSB nach MSB) empfängt und bitseriell deren Addition y berechnet. Ein Resetsignal r wird als dritter Datenstrom hinzugefügt. Wenn $r=1$, dann beginnt eine neue Addition, sonst wird addiert. Der Carry soll über den Zustand des Automaten mittels T-FF dargestellt werden. Beispiel: $x_0=6$, $x_1=11$, $y=17$



20

Aufgabe: Schreibe ein DLX-Programm, das eine Zahl x aus Adresse 1000 einlädt.

Falls die Binärzahl irgendwo eine Folge von 4 oder mehr aufeinanderfolgenden Einsen enthält, dann überschreibe die Adresse 1000 mit einer Zahl, die lauter Einsen enthält.

Beispiel: $x = 01010101\ 01111001\ 00100100\ 11001101$
Ergebnis: $x = 11111111\ 11111111\ 11111111\ 11111111$

21

/Teste auf vier konsekutive Einsen

```
START: /R1: gelesene Zahl, R2: Maske, R3: Zähler, R4: Testregister
        LW R1,1000(R0)           / Lese 1000 in x (R1)
        ADDI R2,R0,#15           / Maske von 4x1 Bits bei LSBit
        ADDI R3,R0,#28           / Zähler für alle möglichen Schiffts
LOOP:   BEQZ R3,END              / falls nicht gefunden, Ende
        AND R4,R1,R2             / Maskiere x mit 15 (4 bits)
        SEQ R4,R4,R2             / Teste auf Muster
        BNEZ R4,WRITE           / Falls positiv, springe zu WRITE
        SUBI R3,R3,#1           / dekrementiere Zähler
        SRLI R1,R1,#1           / schiebe logisch rechts 1 Bit
        J LOOP                   / Wiederhole Schleife
WRITE:  SUBI R1,R0,#1           / Erzeuge eine -1 (alles Einsen)
        SW 1000(R0),R1         / Schreibe zurück
END:    HALT
```

22