

2.5 Verwendung eingeschränkter Gattertypen

- NAND und NOR-Logik
- Normalformen in NAND und NOR

Satz:

Jede Boole'sche Funktion kann dargestellt werden unter ausschließlicher Verwendung von Invertiern, Und- und Oder-Gattern.

Beweis:

Die Kanonische Disjunktive Normalform wie auch die Kanonische Konjunktive Normalform sind solche Darstellungen.

97

Satz: Jede Boole'sche Funktion kann dargestellt werden unter ausschließlicher Verwendung von Invertiern, Und- und Oder-Gattern mit nur **zwei** Eingängen.

Nachweis:

Sei m ein Produktterm mit n Variablen: $m = x_n \cdot x_{n-1} \cdots x_1 \cdot x_0$

Durch Anwendung von Klammerung werden geschachtelte Produkte von je zwei Termen erzeugt:

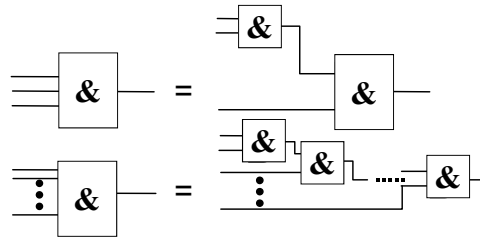
$$\begin{aligned} m &= x_n \cdot (x_{n-1} \cdot x_{n-2} \cdots x_1 \cdot x_0) = x_n \cdot (x_{n-1} \cdot (x_{n-2} \cdots x_1 \cdot x_0)) \\ &= x_n \cdot (x_{n-1} \cdot (x_{n-2} \cdot (\cdots (x_1 \cdot x_0) \cdots))) \end{aligned}$$

Sei m ein Summenterm mit n Variablen: $m = x_n + x_{n-1} + \cdots + x_1 + x_0$
Durch Anwendung von Klammerung werden geschachtelte Summen von je zwei Termen erzeugt:

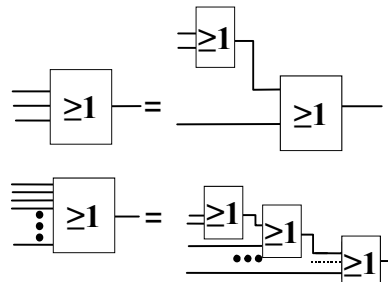
$$\begin{aligned} m &= x_n + (x_{n-1} + x_{n-2} + \cdots + x_1 + x_0) = x_n + (x_{n-1} + (x_{n-2} + \cdots + x_1 + x_0)) \\ &= x_n + (x_{n-1} + (x_{n-2} + (\cdots (x_1 + x_0) \cdots))) \end{aligned}$$

98

Beispiel:



Verschachtelte 2-wertige UND-Funktion



Verschachtelte 2-wertige ODER-Funktion

99

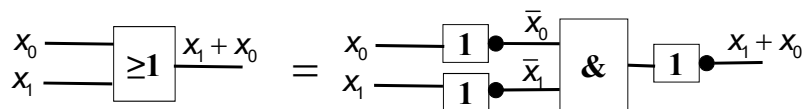
Satz: Jede Boole'sche Funktion kann dargestellt werden unter ausschließlicher Verwendung von Invertern und **Und-Gattern** mit nur zwei Eingängen.

Nachweis:

Anwendung der 2. Regel von de Morgan (Satz 12): $\overline{x_1 + x_0} = \overline{x_1} \cdot \overline{x_0}$

ODER-Gatter: Doppelte Negierung und De Morgan anwenden:

$$x_1 + x_0 = \overline{\overline{x_1 + x_0}} = \overline{\overline{x_1} \cdot \overline{x_0}}$$



100

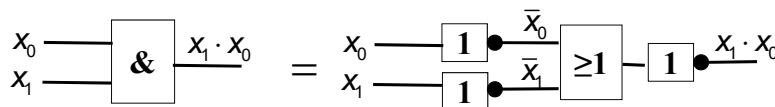
Satz: Jede Boole'sche Funktion kann dargestellt werden unter ausschließlicher Verwendung von Invertern und **ODER-Gattern** mit nur zwei Eingängen.

Nachweis:

Anwendung der 1. Regel von de Morgan (Satz 11): $\overline{x_1 \cdot x_0} = \bar{x}_1 + \bar{x}_0$

UND-Gatter: Doppelte Negierung und De Morgan anwenden:

$$x_1 \cdot x_0 = \overline{\overline{x_1 \cdot x_0}} = \overline{\bar{x}_1 + \bar{x}_0}$$



101

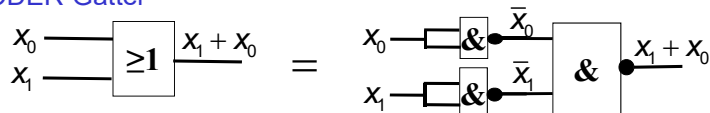
Satz: Jede Boole'sche Funktion kann dargestellt werden unter ausschließlicher Verwendung von **NAND-Gattern** mit nur zwei Eingängen.

NAND: $y = \overline{x_1 \cdot x_0}$

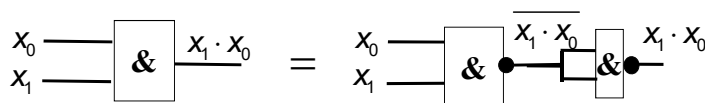
Negation als NAND unter Anwendung von Satz 4: $x = x \cdot x$

$$x \text{ --- } \boxed{1} \text{ --- } \bar{x} = x \text{ --- } \boxed{\&} \text{ --- } \bar{x} \quad \bar{x} = \overline{(x \cdot x)}$$

ODER-Gatter

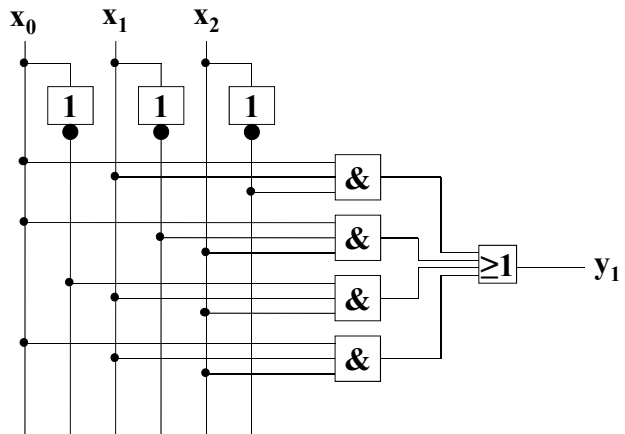


UND-Gatter: $x_1 \cdot x_0 = \overline{\overline{x_1 \cdot x_0}} = \overline{(\bar{x}_1 \cdot \bar{x}_0)}$



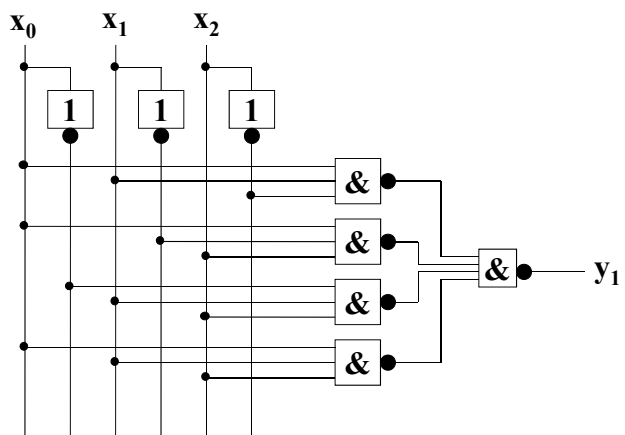
102

Obiges Beispiel in DNF:



105

Dieselbe Funktion in reiner NAND-Logik:



106

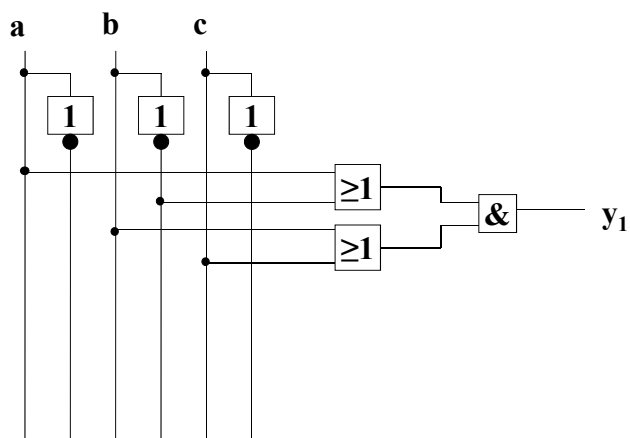
Satz: Jede Boole'sche Funktion in konjunktiver Normalform, bei der keine Summenterme aus nur einer Variable vorkommen und bei der mehr als ein Summenterm vorhanden ist, kann in einfacher Weise in reine Nor-Logik umgewandelt werden:

Durch Ersetzung aller Und- und Oder-Gatter durch Nor-Gatter.

$$\begin{aligned} y_1 &= (a + \bar{b}) \cdot (b + c) = \overline{\overline{(a + \bar{b}) \cdot (b + c)}} \\ &= \overline{\overline{(a + \bar{b})} + \overline{(b + c)}} \end{aligned}$$

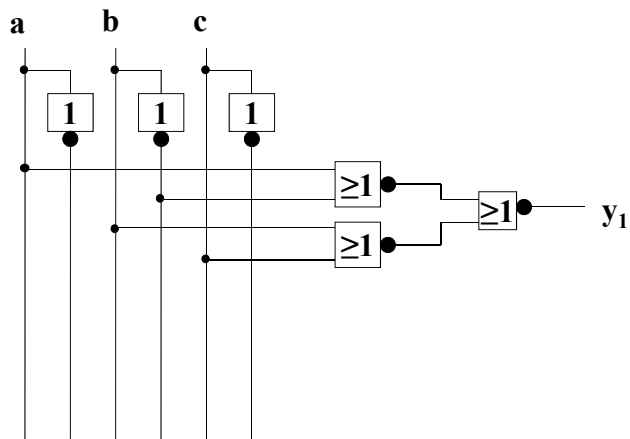
107

Schaltbild der Funktion in KNF:



108

Dieselbe Funktion in reiner NOR-Logik:



109

2.6 Boolesche Funktionen mit freien Belegungen

Bei der Erstellung der Wahrheitstabelle müssen nicht immer alle Eingangsvariablen zum Funktionsergebnis beitragen. Es kann Eingangsbelegungen geben, die nicht benötigt werden.

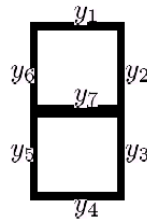
Beispiel: Ansteuerung einer 7-Segment-Anzeige zur Darstellung der Ziffern 0-9. Da die 10 möglichen Ziffern mit vier Bit dargestellt werden müssen, sind nur die ersten 10 der möglichen 16 Minterme von Bedeutung, die anderen erzeugen ein „don't care“ Ergebnis, das mit einer Belegung „x“ gekennzeichnet wird.

Bei der Minimierung der Ansteuerung der Segmente kann dieses vorteilhaft genutzt werden.

110

Beispiel: 7-Segment-Anzeige

Code. Anwendung: LCD-Anzeige der Ziffern $0 \leq z_{10} \leq 9$, z.B. auf Taschenrechnern.



1 2 3 4 5 6 7 8 9 0

z_{10}	Binär-Code				7-Segment-Code						
	x_3	x_2	x_1	x_0	y_1	y_2	y_3	y_4	y_5	y_6	y_7
0	0	0	0	0	L	L	L	L	L	L	0
1	0	0	0	L	0	L	L	0	0	0	0
2	0	0	L	0	L	L	0	L	L	0	L
3	0	0	L	L	L	L	L	L	0	0	L
4	0	L	0	0	0	L	L	0	0	L	L
5	0	L	0	L	L	0	L	L	0	L	L
6	0	L	L	0	L	0	L	L	L	L	L
7	0	L	L	L	L	L	L	0	0	0	0
8	L	0	0	0	L	L	L	L	L	L	L
9	L	0	0	L	L	L	L	L	0	L	L
10	L	0	L	0	don't care						
⋮											
15	L	L	L	L							

3. Realisierung von Booleschen Funktionen in CMOS-Technologie

3.1 Halbleiterdioden

3.2 MOS-Transistoren

3.3 Aufbau einfacher Gatter aus komplementären MOS- Transistoren (CMOS)

3.4 Fan-out und Fan-in

1

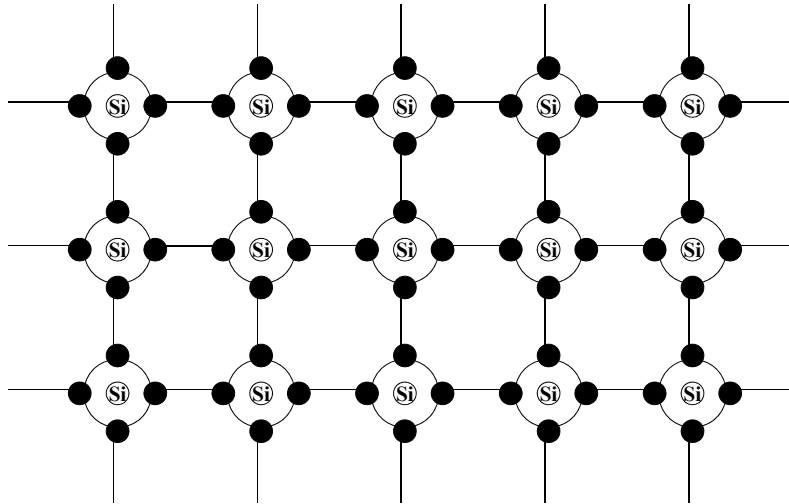
3.1 Halbleiterdioden

Halbleiterdioden sind Bauelemente, die die Leitfähigkeitseigenschaften eines **pn-Übergangs** nutzen. Sie werden meist aus Silizium hergestellt. Ein pn-Übergang ist der Übergang von positiv dotiertem (p-) Silizium zu negativ dotiertem (n-) Silizium. Dotierung ist das gezielte Einfügen von Fremdatomen in die Kristallstruktur des Siliziums. Silizium ist vierwertig, und bildet in reiner Form eine Kristallstruktur, bei der je zwei Elektronen zweier benachbarter Atome eine Bindung eingehen. Man kann sich das als ein regelmäßiges rechteckiges Gitter vorstellen, wie es auf der nächsten Folie gezeigt ist. Es enthält so keine freien Elektronen und ist daher auch kaum leitfähig.

Wenn man in diesem Gitter nun ein Atom durch ein 5-wertiges Fremdatom ersetzt, z.B. **Phosphor**, so gibt es zusätzlich zu dem vollständigen Gitter ein freies Elektron, das keine Bindung eingehen kann.

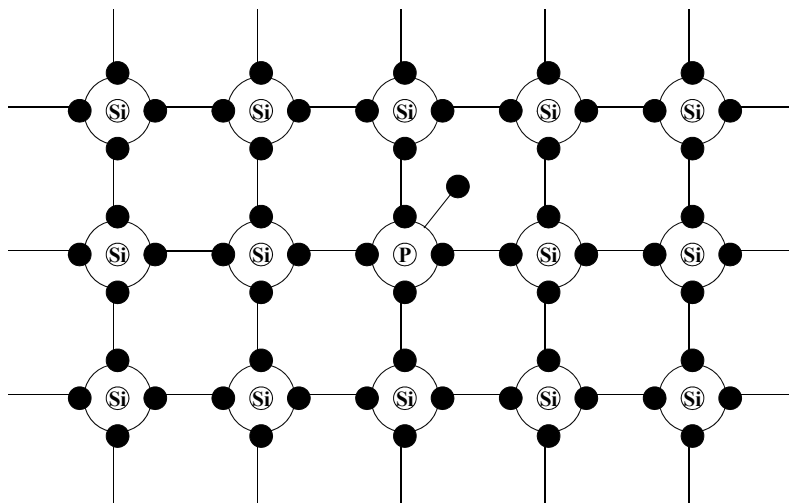
2

Kristallstruktur von reinem Silizium



3

Kristallstruktur von n-dotiertem Silizium



4

n-dotiertes Silizium erzeugt freie Elektronen und ist negativ geladen

Dieses freie Elektron kann jetzt zur Leitung von elektrischem Strom benutzt werden. Durch **Dotierung von Silizium mit Phosphor** erzeugt man somit aus dem zunächst schlecht leitenden Silizium einen Leiter. Aus diesem Grund bezeichnet man Silizium als **Halbleiter**. Die Dotierung mit Phosphor generiert freie Elektronen im Silizium. Da diese negativ geladen sind, spricht man von einer **n-Dotierung**, gelegentlich auch von einem **n-Halbleiter**.

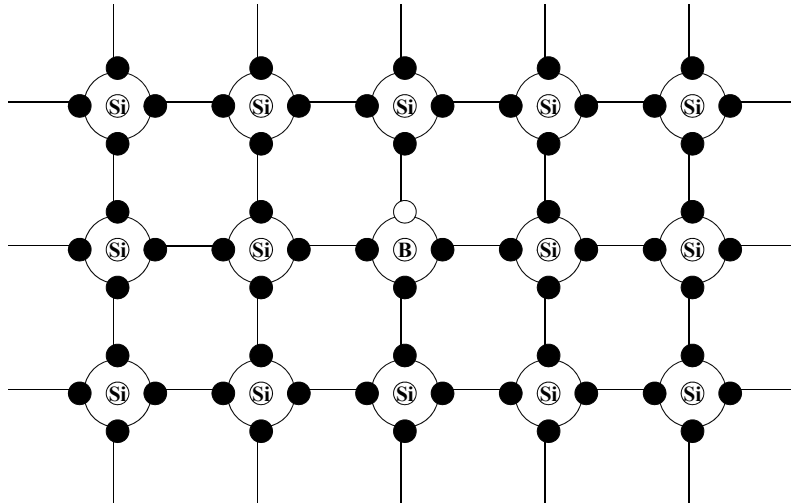
5

p-dotiertes Silizium erzeugt Löcher (Defekt-Elektronen) und ist positiv geladen

Verwendet man anstelle von Phosphor ein dreiwertiges Element, z.B. **Bor**, so kommt man zu einer **p-Dotierung**. Ein entsprechendes Kristallgitter ist auf der folgenden Folie zu sehen. Es gibt allerdings einen qualitativen Unterschied. Im p-dotierten Material fehlen Elektronen im Kristallgitter. Das fehlende Elektron eines Atoms kann durch ein Elektron eines Nachbaratoms ersetzt werden, wenn dieses aus seiner Paarbindung herausgelöst wird. Es entsteht dort eine **positive Ladung**, ein **Loch** oder **Defektelektron**. Das Fremdatom (Bor), das jetzt ein Elektron aufgenommen hat, wird negativ geladen, bleibt aber ortsfest.

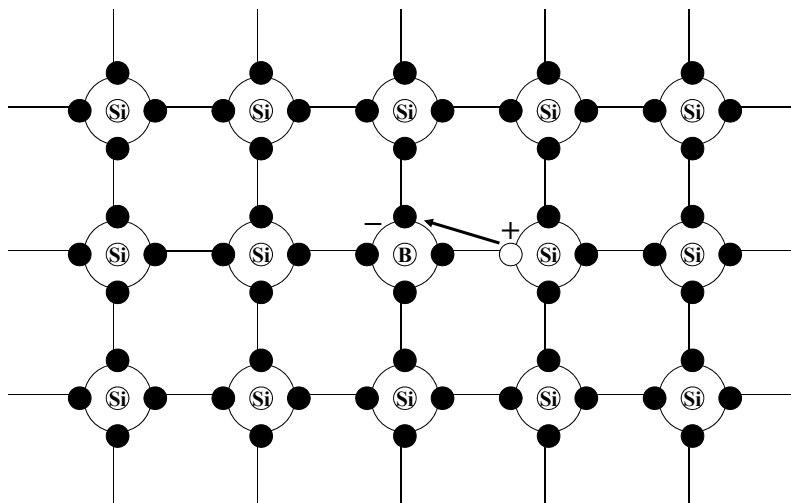
6

Kristallstruktur von p-dotiertem Silizium



7

Mobilität von positiven Ladungen in p-dotiertem Silizium



8

Mobilität von positiven Ladungen in p-dotiertem Silizium

Durch diesen Vorgang des Ersetzens eines fehlenden Elektrons durch ein Nachbarlektron **wandert das Loch** nun im Kristallgitter. Es kann also ebenfalls genutzt werden, um elektrischen Strom zu transportieren. Allerdings ist die Beweglichkeit der Löcher im p-dotierten Halbleiter nicht so groß wie die Beweglichkeit der freien Elektronen im n-dotierten Halbleiter, weil die Elektronen im p-dotierten Material ja zuerst aus ihrer bestehenden Bindung herausgelöst werden müssen. Als Daumenregel kann man sich merken, dass **n-dotiertes Silizium etwa eine dreimal so hohe Leitfähigkeit hat wie p-dotiertes**.

9

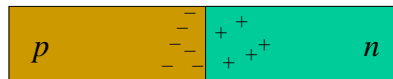
Der pn-Übergang

Wenn man nun eine p-Dotierung direkt an eine n-Dotierung angrenzen lässt, entsteht ein **pn-Übergang**. Wegen der freien Elektronen in der n-Zone und der (frei beweglichen) Löcher in der p-Zone entsteht an der Grenze eine spezielle Reaktion: **Freie Elektronen diffundieren in die p-Zone und Löcher in die n-Zone, wo sie rekombinieren**. Dadurch verringert sich die Zahl der freien Ladungsträger in der Grenzschicht. Die ladungsträgerfreie Grenzschicht wird zu einer **hochohmigen** sogenannten **Sperschicht**.

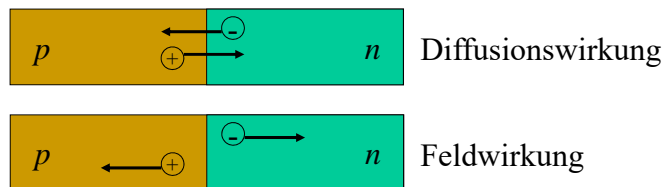
10

Der pn-Übergang

Durch die Diffusion der Elektronen in die Sperrschicht bleiben aber ortsfeste, positive Ionen (**sogenannte Raumladungen**) zurück, und durch Rekombination der Löcher mit den Elektronen entstehen in der p-Zone ortsfeste negative Ionen.



Zwischen der positiven Raumladung und der negativen Raumladung entsteht ein elektrisches Feld. Auf freie Ladungsträger innerhalb der Raumladungszone wirkt die Diffusion und in entgegengesetzter Richtung die elektrische Feldkraft.



11

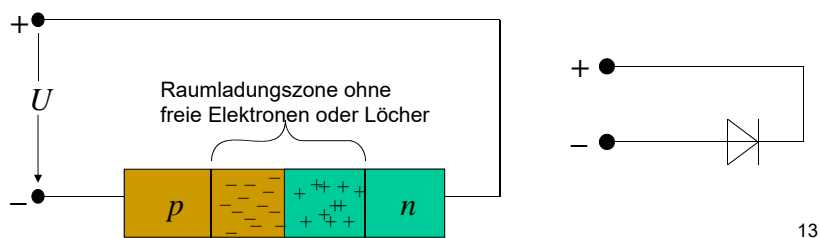
Der pn-Übergang

Es stellt sich ein dynamisches Gleichgewicht am pn-Übergang ein, wenn die Feldwirkung und die Diffusionswirkung gleich groß ist. Dann besteht zwischen der positiven Raumladung in der n-Zone und der negativen Raumladung in der p-Zone eine feste Spannung, die Diffusionsspannung U_D . Diese beträgt bei Silizium etwa 0,75 V.

12

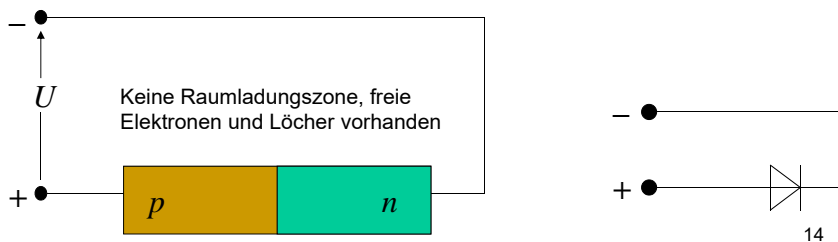
Diode in Sperrichtung (hochohmig, nicht leitend)

Wenn man an eine Diode eine Gleichspannung anlegt, wird sie – je nach Polung der Gleichspannung – **leitend oder sperrend**. Wenn der Minuspol der Spannungsquelle an die p-Zone und der Pluspol an die n-Zone der Diode gelegt wird, steigt die Spannung in der Raumladungszone auf $U_D + U$. Die Feldstärke wird größer und die ladungsträgerfreie Raumladungszone wird breiter. Sie wird zu einer hochohmigen Sperrschicht; man sagt, die Diode ist in **Sperrichtung** gepolt.



Diode in Durchlassrichtung (niederohmig, leitend)

Wenn umgekehrt der Minuspol der Spannungsquelle an die n-Zone und der Pluspol an die p-Zone der Diode gelegt wird, sinkt die Spannung in der Raumladungszone auf $U_D - U$. Die ladungsträgerfreie Raumladungszone wird schmaler und verschwindet ganz, wenn $U > U_D$ ist. (Der Wert von U, für den das gilt, wird auch **Schwellspannung** genannt). Dadurch ist die Diode **leitend**, weil jetzt auf dem ganzen Weg von + nach – genügend freie Ladungsträger sind.



Bipolar-Transistoren (nnp, pnp)

Durch Kombination von zwei pn-Übergängen kann man **Bipolartransistoren** aufbauen. Die für die analoge Verstärkertechnik von Bedeutung sind.

Da diese aber in der digitalen Schaltungstechnik gegenwärtig keine große Bedeutung mehr haben, werden sie hier nicht behandelt. Stattdessen konzentrieren wir uns auf Schaltelemente, die heute und sicher auch noch in Zukunft die bedeutendste Rolle im Aufbau von Digitalschaltungen haben, die **MOS-Transistoren**.

15

3.2 MOS-Transistoren

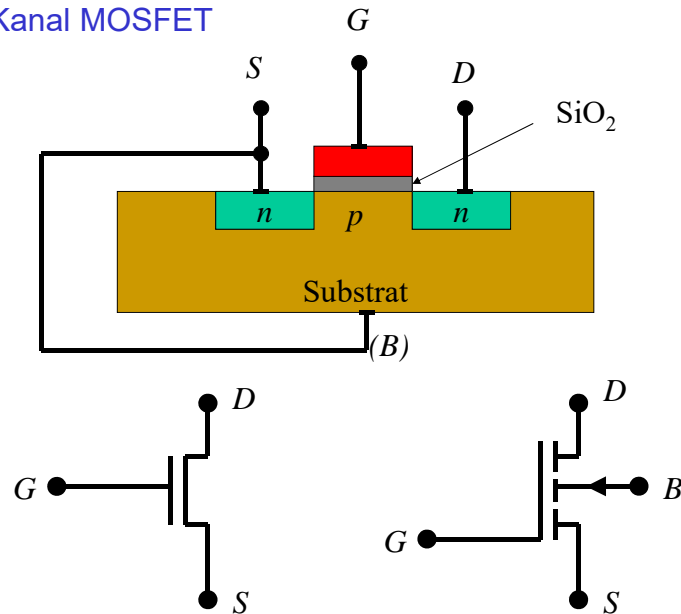
Die Abkürzung **MOSFET** steht für **Metal-Oxide-Semiconductor Field Effect Transistor**. Metal-Oxide-Semiconductor bezeichnet die Schichtenfolge, durch die er ursprünglich aufgebaut wurde (heute nimmt man anstelle von Metall in der Regel polykristallines Silizium). Field Effect Transistor bedeutet: Der Transistor-Effekt wird erzielt durch Erzeugen eines elektrischen Feldes durch Anlegen einer Spannung an die Steuerelektrode.

Die drei Anschlüsse eines FETs werden mit **D (Drain)**, **S (Source)** und **G (Gate)** bezeichnet. Das Gate ist die **Steuerelektrode**, auf die man eine Spannung legt, um dadurch eine Verbindung zwischen Drain und Source zu schalten.

Man unterscheidet MOSFETs nach der Art der Dotierung des Halbleitermaterials, in dem (bei geeigneter Beschaltung) der leitende Kanal zwischen Drain und Source entsteht. Wir beginnen mit dem **selbstsperrenden n-Kanal MOSFET**, (**enhancement mode n-channel MOSFET**) dessen Aufbau auf der folgenden Folie zu sehen ist.

16

n-Kanal MOSFET



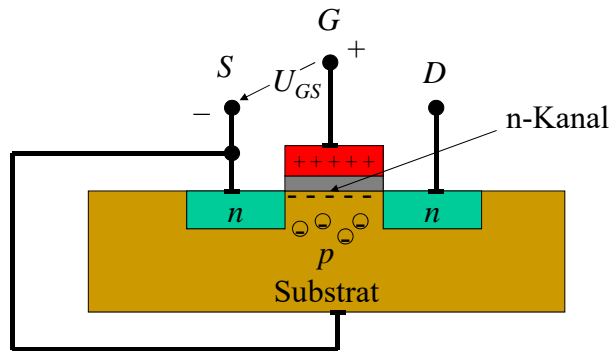
17

In den als **Substrat** bezeichneten p-Halbleiter sind zwei hochdotierte n-Zonen als Source und Drain eindiffundiert. Sie sind mit dem Source- bzw. Drainanschluss verbunden. Auf das Substrat ist zwischen diesen beiden Zonen eine Isolierschicht aus Siliziumdioxid aufgebracht. Darüber befindet sich das Gate, das somit isoliert ist gegenüber Source, Drain und Substrat. Da die Oxydschicht allerdings sehr dünn ist, bildet das Gate mit dem Substrat einen Kondensator. Die Zonenfolge Source-Substrat-Drain ist eine npn-Anordnung. Weil aber der Abstand zwischen den beiden n-Zonen zu groß ist, bildet sich kein bipolarer Transistor.

Wird nun an das Gate eine gegenüber dem Substrat positive Spannung angelegt, so werden die Löcher als bewegliche Ladungsträger vom Gate weg in das Substrat abgestoßen. Es entsteht an der Randschicht zum Oxyd hin eine negative Raumladungszone. Wenn das dadurch gebildete elektrische Feld so groß ist, dass die freien Elektronen nicht mehr in das Substrat hinein diffundieren, so bildet sich am Rand der Raumladungszone eine leitende Schicht aus freien Ladungsträgern (Elektronen). Diese wird **n-Kanal** genannt.

18

n-Kanal MOSFET:
Leitender Kanal bei positiver Gate-Substrat-Spannung



19

Die Spannung, ab der sich ein leitender Kanal bildet wird **Schwellspannung**

(Threshold) U_{th} genannt (im englischen V_{th}).

Hat sich ein solcher leitender Kanal gebildet, dann kann ein Drainstrom fließen (von Drain nach Source), wenn $U_{DS} > 0V$ ist. Die Abhängigkeit des Drainstroms I_D von U_{DS} und U_{GS} wird als **Kennlinienfeld** dargestellt (nächste Folie).

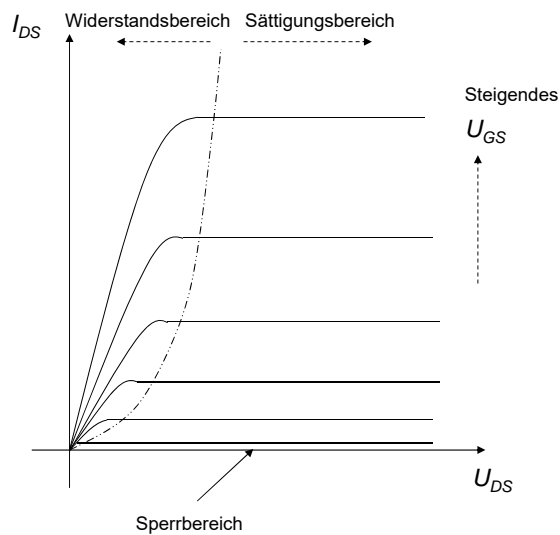
Der Substratanschluss wird mit dem Sourceanschluss verbunden und auf das Spannungspotential $0V$ gelegt. Dies wird als Bezugspotenzial (Bulk, B) genutzt (das im alten deutschen Schaltzeichen auch explizit eingetragen wird).

Im Sperrbereich ist $U_{DS} > 0V$ und $U_{GS} < U_{th}$. Es kann sich kein leitender Kanal aufbauen. Da der Drain-Substrat-Übergang eine in Sperrichtung beschaltete Diode darstellt, fließt kein Strom I_D .

Im Arbeitsbereich $U_{GS} > U_{th}$ bildet sich ein leitender n-Kanal. Durch diesen fließen die Elektronen aus der n-Zone als Drainstrom aufgrund der Spannung zwischen Drain und Source.

20

Kennlinienfeld eines n-Kanal Transistors



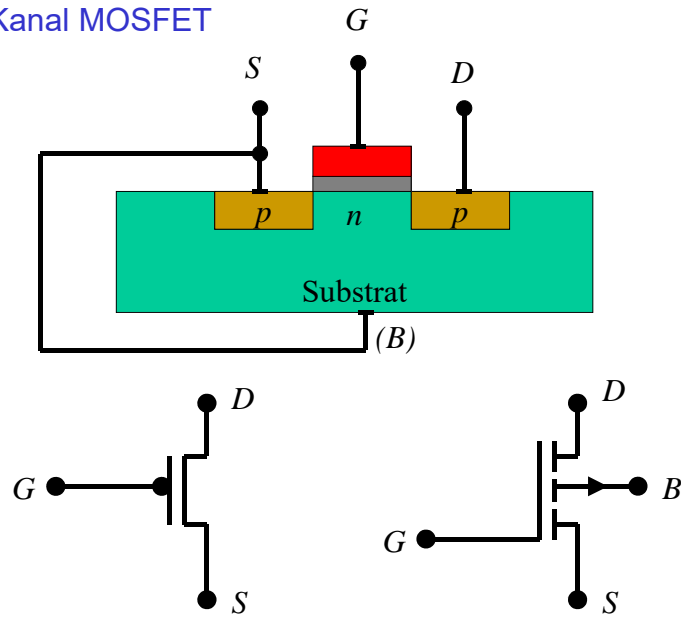
21

Solange $U_{DS} < U_{GS} - U_{th}$ ist, steigt der Drainstrom I_D etwa proportional zur Drainspannung U_{DS} . Dies ist der **lineare Bereich der Kennlinie (oder Widerstandsbereich)**. Wird aber $U_{DS} > U_{GS} - U_{th}$, so wird die Raumladungszone am Drain-Substrat-Übergang größer (weil er eine Diode in Sperrichtung darstellt) und der leitende Kanal wird „abgeschnürt“. Der Drainstrom I_D geht in den so genannten **Sättigungsbereich** (und steigt nicht nennenswert weiter, auch wenn U_{DS} wächst). Trotz der Abschnürung fließt aber weiterhin ein Strom, da der Kanal bis zu einem bestimmten Abstand von der Drain besteht, und die Elektronen von dort aus durch das elektrische Feld der Drain-Source-Spannung zur Drain hingezogen werden.

Der p-Kanal MOSFET arbeitet analog. Hier wird allerdings das Gate negativ gegenüber Source und Substrat angesteuert. Dadurch wird am Rand der Isolationsschicht ein leitender **p-Kanal** aus Löchern gebildet, über den der Drainstrom fließen kann.

22

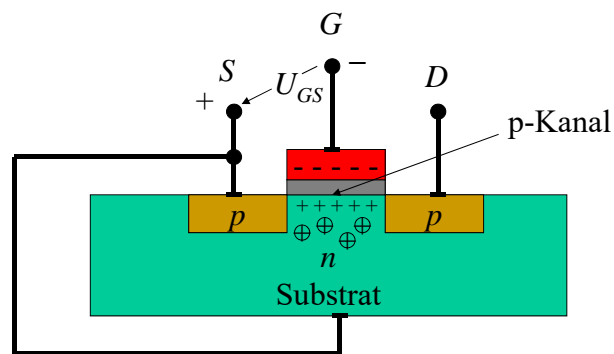
p-Kanal MOSFET



23

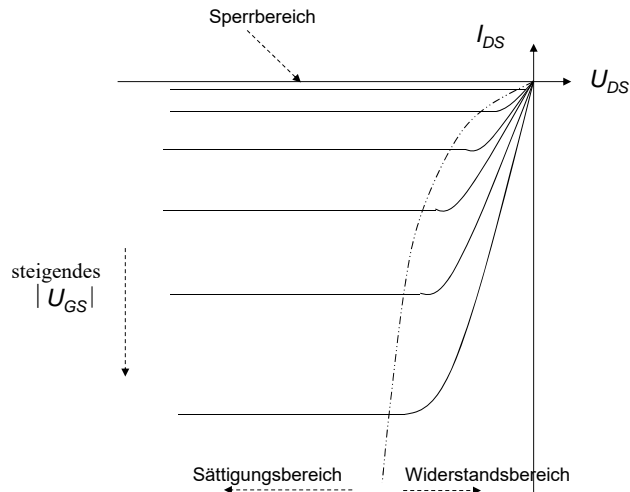
p-Kanal MOSFET

Leitender Kanal bei negativer Gate-Substrat-Spannung



24

Kennlinienfeld eines p-Kanal Transistors



25

3.3 Aufbau einfacher Gatter aus komplementären MOSFET-Transistoren (CMOS)

MOSFETs können als Schalter benutzt werden. Ein n-Kanal Transistor zum Beispiel verbindet Drain und Source, wenn an seinem Gate eine ausreichend hohe Spannung anliegt ($U_{GS} > U_{th}$). Wenn die Eingangsspannung niedrig ist, sind Drain und Source getrennt ($U_{GS} < U_{th}$). Der p-Kanal Transistor verbindet, wenn seine Eingangsspannung hinreichend klein (negativ) ist im Vergleich zur Source ($U_{GS} < V_{dd} - U_{th}$), und trennt, wenn sie nicht klein genug ist ($U_{GS} > V_{dd} - U_{th}$).

Durch komplementäre Kombination dieser beiden Typen von Transistoren können wir jetzt logische Schaltungen aufbauen. Die einfachste solche Schaltung ist ein **Inverter**.

Der Inverter hat einen Eingang und einen Ausgang. Die Spannungen am Ein- und Ausgang identifizieren wir mit logischen Werten, z.B. die volle Versorgungsspannung V_{dd} mit logisch 1 (oder wahr oder TRUE) und das Massepotenzial GND (0V) mit logisch 0 (oder falsch oder FALSE).

26

Der Inverter hat dann folgendes Verhalten. Ist sein Eingang auf 1, so soll sein Ausgang auf 0 sein. Ist der Eingang jedoch auf 0, so soll sein Ausgang auf 1 sein. Das entspricht folgender Funktionstabelle seiner Funktion:

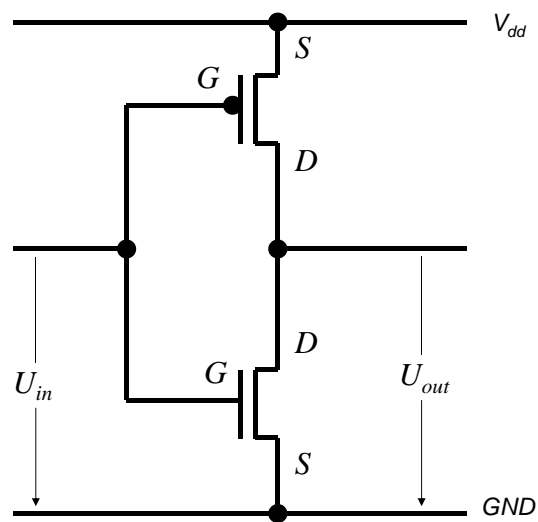
In	out
0	1
1	0

In Spannungen geschrieben sieht diese Tabelle so aus (dabei wird von einer Versorgungsspannung von 2,5 V ausgegangen, die bei heutigen integrierten Schaltkreisen üblich ist:

U_{in}	U_{out}
0V	2,5V
2,5V	0V

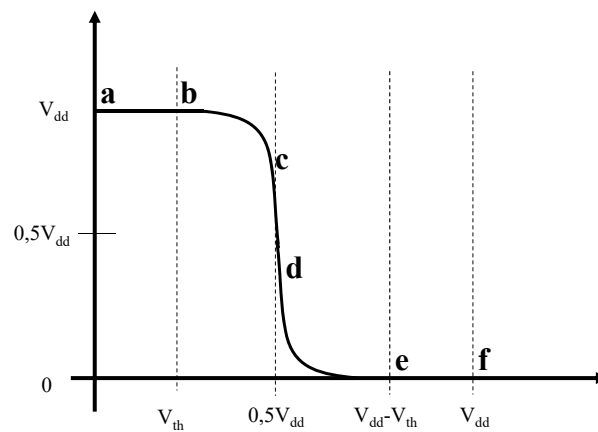
27

Inverter



28

CMOS-Inverter Ausgabespannung in Abhängigkeit der Eingabespannung



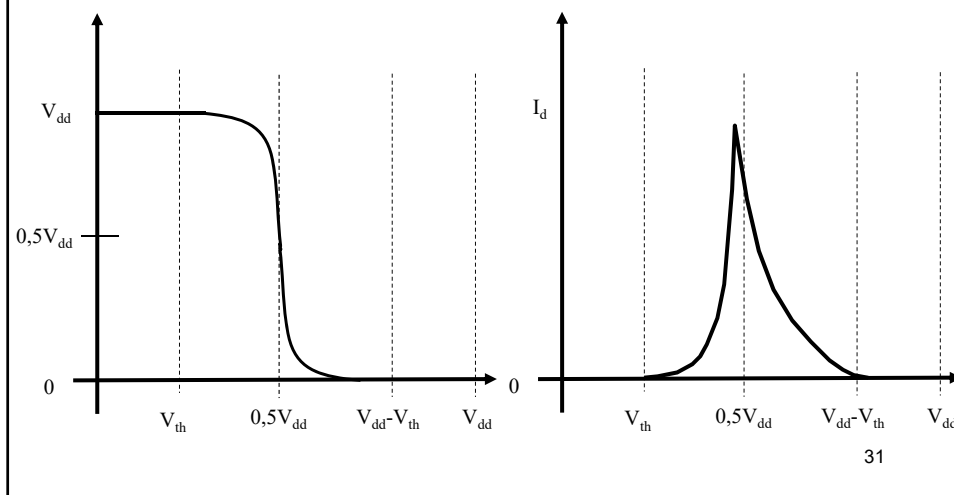
29

Wir verfolgen die Spannungskurve von links nach rechts. Von a bis b ist der untere Transistor in seinem Sperrbereich, der obere Transistor ist im Widerstandsbereich. Von b bis c geht der untere Transistor in Sättigung, der obere ist weiterhin in seinem Widerstandsbereich. Der Widerstand des unteren Transistors ist wesentlich größer als der des oberen. Von c nach d sind beide Transistoren im Sättigungsbereich (hier ist der Strom am größten). Von d nach e geht nun der untere Transistor in seinen Widerstandsbereich und der obere ist weiterhin in Sättigung. Jetzt bildet der untere Transistor nur noch einen kleinen Widerstand gegenüber dem oberen. Ab dem Punkt e sperrt der obere Transistor. Es kann kein Strom mehr fließen.

30

CMOS-Inverter

Stromaufnahme in Abhängigkeit der Eingabespannung



31

Wichtig:

Im **statischen** Zustand wird von einer CMOS-Schaltung mit Pegeln $V_e < V_{th}$ oder $V_e > V_{dd} - V_{th}$ nur eine **verschwindend geringe Verlustleistung** verbraucht.

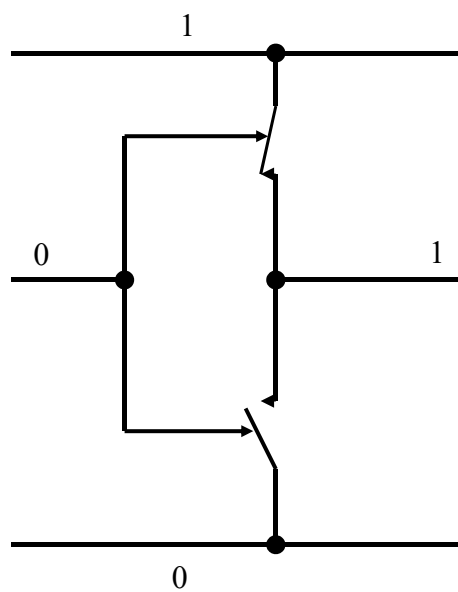
32

Dynamische CMOS-Verlustleistung

Die Verlustleistung einer CMOS-Schaltung ist bei konstanter Anstiegs- und Abfallzeit der Signale **proportional zur Frequenz der Schaltvorgänge**.

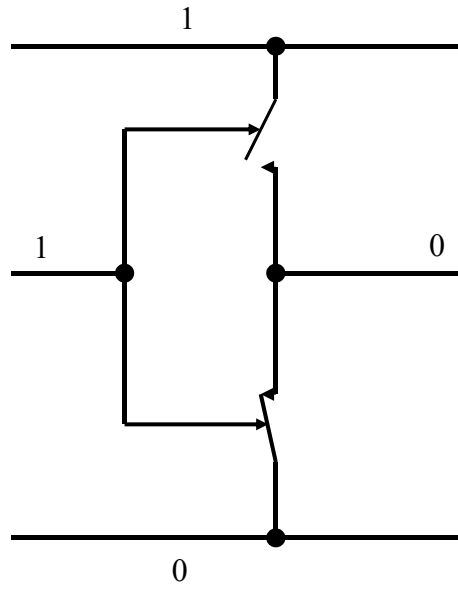
33

Inverter, idealisiertes Ersatzschaltbild



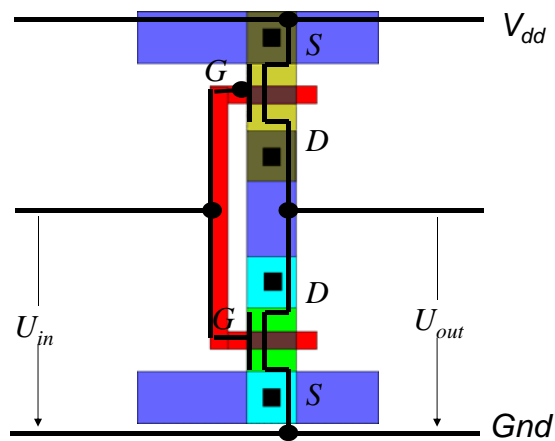
34

Inverter, idealisiertes Ersatzschaltbild



35

Ansicht eines Inverters auf dem Chip von oben



36

Ein Effekt muss hier erwähnt werden. Wenn man n-MOS-Transistoren im Sättigungsbereich betreibt, besteht nur ein Kanal, wenn die Spannung zwischen Gate und Source größer als die Schwellspannung ist ($U_{GS} > U_{th}$). Das bedeutet, wenn die volle Versorgungsspannung an der Drain und am Gate anliegt, und die Source offen ist, kann sich an der Source kein Potenzial einstellen, das höher ist als $U_{GS} - U_{th}$. Das bedeutet, ein n-Transistor ist zwar gut geeignet, um das GND-Potenzial weiterzuleiten, bei der Weiterleitung der vollen Versorgungsspannung aber wird diese um eine Schwellspannung vermindert.

In der Begrifflichkeit der logischen Werte bedeutet das, eine 0 kann von einem n-Transistor gut weitergegeben werden, eine 1 aber nicht. Am Ausgang würde eine „schlechte“ 1 entstehen, also eine Spannung, die um eine Schwellspannung niedriger ist als die Eingangsspannung.

Ein entsprechender Effekt entsteht am p-Transistor. Dieser ist geeignet für die Weiterleitung einer 1, d.h. an seinem Ausgang liegt eine „gute“ 1 an, aber bei einer 0 am Eingang, wird sich am Ausgang ein Potenzial einstellen, das dem dem GND-Potenzial plus der Schwellspannung entspricht.

37

Wir merken uns: Wir wollen n-Transistoren benutzen, um den logischen Wert 0 am Ausgang unserer Schaltungen zu erzeugen und p-Transistoren, um den logischen Wert 1 am Ausgang unserer Schaltungen zu erzeugen.

Wenn wir unseren Inverter auf diese Eigenschaft überprüfen, stellen wir fest, das er sie erfüllt: Bei Eingabe einer 1 öffnet der n-Transistor und wird im Widerstandsbereich betrieben, d.h. am Ausgang entsteht eine gute 0. Der p-Transistor sperrt, da keine negative Gate-Spannung gegenüber dem Substrat vorliegt.

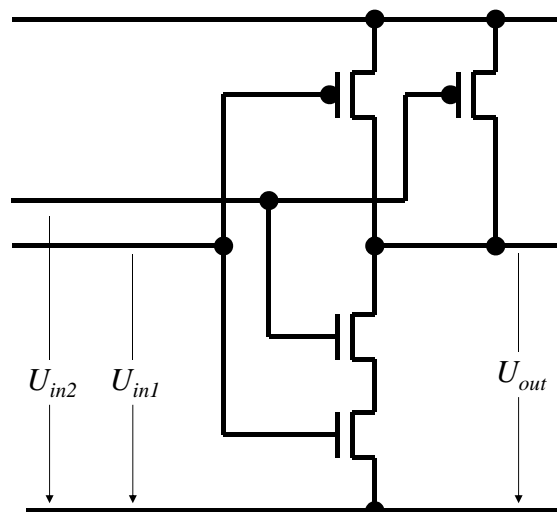
Bei Eingabe einer 0 öffnet der p-Transistor und wird im Widerstandsbereich betrieben, d.h. am Ausgang entsteht eine gute 1. Der n-Transistor sperrt, da keine positive Gate-Spannung gegenüber dem Substrat vorliegt.

38

Die nächste Funktion, die wir in einem Gatter mit MOS-Transistoren realisieren wollen, ist ein Nand-Gatter. Der Ausgang eines Nand-Gatters ist 1, wenn nicht beide Eingänge auf 1 sind. Wir müssen also erreichen, dass auf den Ausgang das GND-Potenzial gelegt wird, wenn beide Eingänge 1 ist (*). Ferner müssen wir das Versorgungspotenzial V_{dd} an den Ausgang bringen, falls mindestens einer der Eingänge 0 ist (**). Wie gelingt dies? Wir schalten zwei n-Transistoren in Serie und verbinden die Source des ersten mit GND. Damit erfüllt die Drain des zweiten die erste Bedingung (*) für den Ausgang. Ferner schalten wir zwei p-Transistoren parallel, deren Sourcen wir an V_{dd} anschließen. Wiederum ist die Drain der Ausgang. Damit ist die zweite Bedingung (**) für den Ausgang erfüllt. Verbinden wir nun die Drain anschlüsse dieser beiden Pfade, so ist das Nand-Gatter fertig.

39

Nand-Gatter



in1	in2	out
0	0	1
0	1	1
1	0	1
1	1	0

40

Man beachte, dass die n-Transistoren wieder lediglich gebraucht werden, um das Potenzial der logischen 0 (GND) an den Ausgang zu bringen. Ebenso benutzen wir die p-Transistoren nur zur Weiterleitung des logischen 1-Potentials (V_{dd}). Somit sind die Signale am Ausgang nicht um eine Schwellspannung unterschiedlich zu den beabsichtigten Potenzialen für die entsprechenden logischen Werte. Es ist ein „gute“ 0 und eine „gute“ 1, die am Ausgang zu beobachten ist.

Wie können wir nun ein Und-Gatter aufbauen?

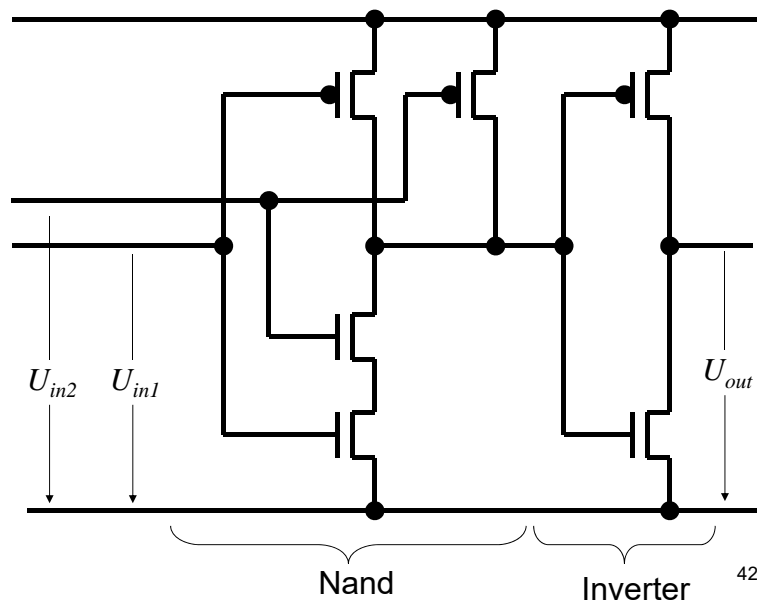
Durch hintereinanderschalten eines Nand-Gatters mit einem Inverter. Diese Schaltung ist auf der nächsten Folie zu sehen.

Geht das auch mit weniger Transistoren?

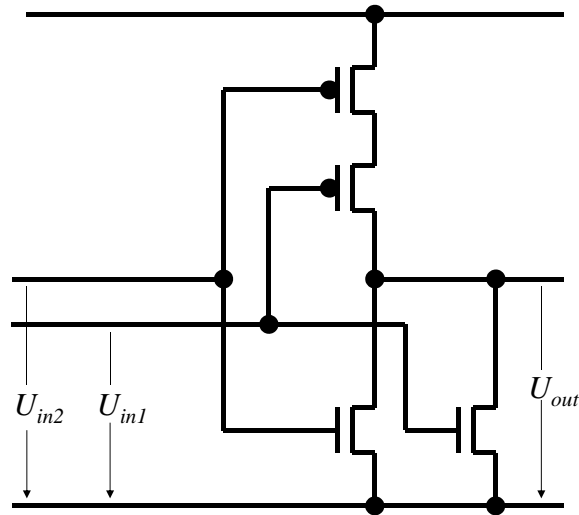
Bitte probieren Sie es aus. Beachten Sie aber dabei, dass am Ausgang „gute“ Signale entstehen sollen. Warum?

41

Und-Gatter



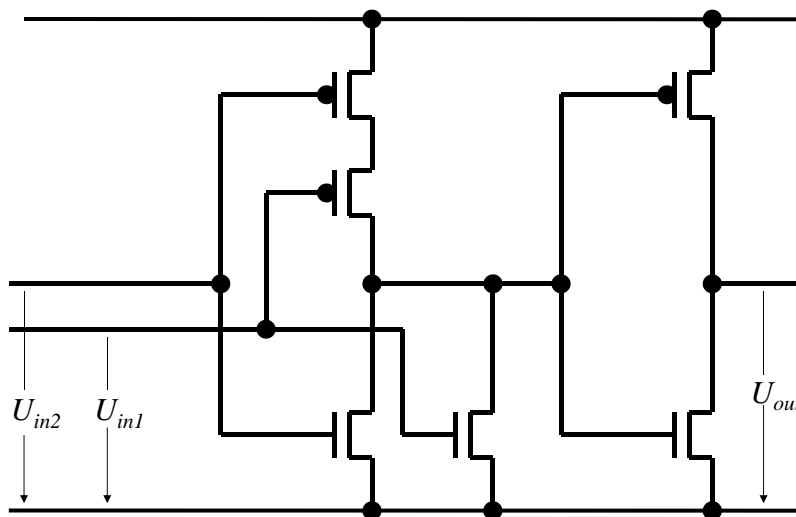
Nor-Gatter



in1	in2	out
0	0	1
0	1	0
1	0	0
1	1	0

43

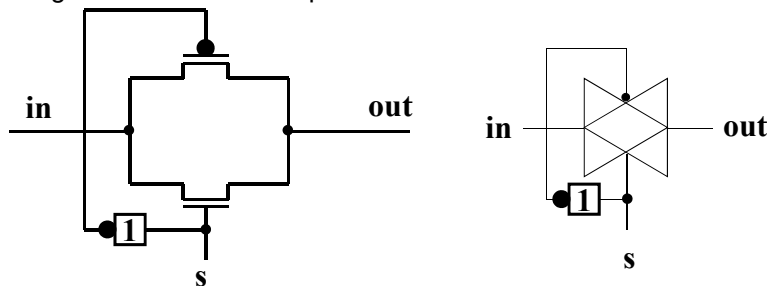
Oder-Gatter



44

Transmissionsgatter-Gatter

Transmissionsgatter haben die Funktion eines Tores: Sie geben Signale vom Dateneingang an den Ausgang, wenn der Steuereingang (s =Steuereingang, enable) auf 1 ist. Das interessante an Transmissionsgattern ist die Tatsache, dass ihr Ausgang nicht beschaltet ist, wenn $s=0$ ist. Das heißt, der Ausgang ist dann weder 0 noch 1, sondern „hochohmig“. Während Ausgänge von anderen Gattern nie zusammenschaltet werden dürfen, da sonst undefinierte Signalzustände entstehen würden, können die Ausgänge von Transmissionsgattern zusammengelegt werden, wenn sichergestellt ist, dass immer genau ein s -Signal auf logisch 1 ist. Das wird später bei Daten- und Addressbus benötigt.



45

3.4 Fan-In und Fan-Out

Fan-In: Die Anzahl der Eingänge in ein Gatter. Bestimmt die Anzahl der Transistoren in Reihe, die durchlaufen werden müssen, um den Ausgang zu treiben.

Fan-Out: Die Anzahl der Eingänge gleicher Größe, die vom Ausgang eines Gatters auf- oder entladen werden müssen. Bestimmt die Kapazität, die das Gatter beim Schaltvorgang umladen muss.

Der Widerstand und die Kapazität bilden einen Tiefpass, der das Schaltverhalten des Gatters beschreibt. Der Umschaltvorgang lässt sich durch die Exponentialkurve des Tiefpasses beschreiben. $R \cdot C$ sind die Zeit, die der Umladevorgang benötigt. Also ist diese Zeit sowohl proportional zu R wie auch zu C . Daher müssen Fan-In und Fan-Out in realen Schaltungen begrenzt werden. **Je größer der Fan-In oder Fan-out, desto langsamer die Umschaltung.**

46

Aufladevorgang (Wechsel von 0 auf 1)

$$U_a = U_e - U_e \cdot e^{-\frac{t}{RC}} = U_e \cdot (1 - e^{-\frac{t}{RC}})$$

$$\frac{U_a}{U_e} = 1 - e^{-\frac{t}{RC}}$$

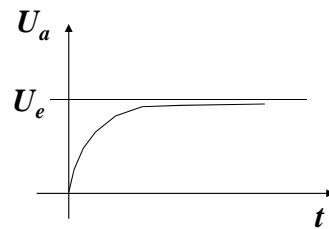
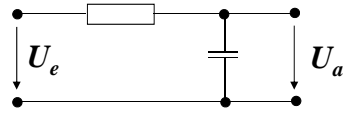
$$1 - \frac{U_a}{U_e} = e^{-\frac{t}{RC}}$$

Annahme: $\frac{U_a}{U_e} = 0,9$

$$\ln(1 - 0,9) = -\frac{t}{RC}$$

$$-2,3RC \approx -t$$

$$t \approx 2,3RC$$



47

Entladevorgang (Wechsel von 1 auf 0)

$$U_a = U_e \cdot e^{-\frac{t}{RC}}$$

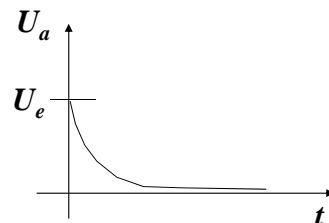
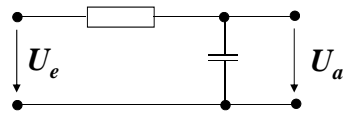
$$\frac{U_a}{U_e} = e^{-\frac{t}{RC}}$$

Annahme: $\frac{U_a}{U_e} = 0,1$

$$\ln 0,1 = -\frac{t}{RC}$$

$$-2,3RC \approx -t$$

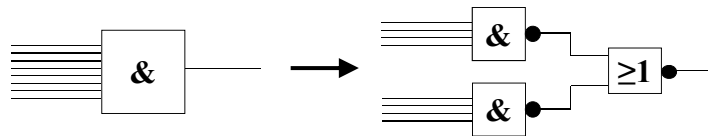
$$t \approx 2,3RC$$



48

Was machen wir, wenn wir Gatter mit zu großem Fan-In haben?
 Aufteilen der Eingänge durch mehrstufige Verknüpfung mit der
 Regel von De Morgan.

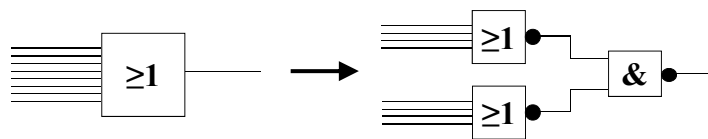
Beispiel: UND-Gatter mit hohem Fan-in:



$$a \cdot b \cdot c \cdot d = \overline{\overline{a \cdot b \cdot c \cdot d}} = \overline{\overline{a \cdot b} + \overline{c \cdot d}}$$

49

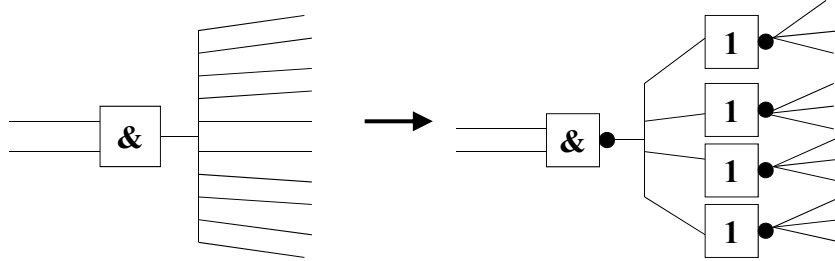
2. Beispiel: Oder Gatter mit zu großem Fan-In bei ODER



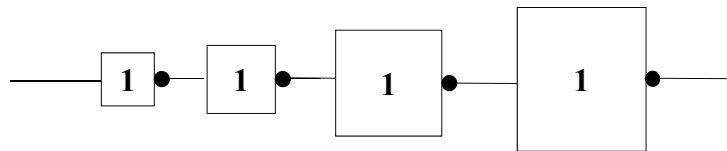
$$a + b + c + d = \overline{\overline{a + b + c + d}} = \overline{\overline{a + b} \cdot \overline{c + d}}$$

50

Aufteilung der Ausgänge bei zu großem Fan-Out: Aufteilung und Verstärkung des Ausgangs durch 2-fache Invertierung

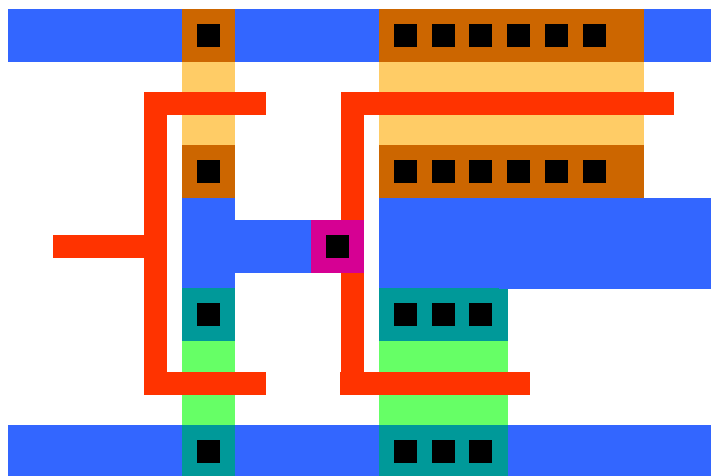


Dimensionierung der Chipfläche für ein großes Fan-Out



51

Inverterpaar als Treiber auf dem Chip von oben



52